

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087657  
 (43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01L 27/108  
 H01L 21/8242  
 H01L 29/78  
 H01L 21/336

(21)Application number : 09-247036  
 (22)Date of filing : 11.09.1997

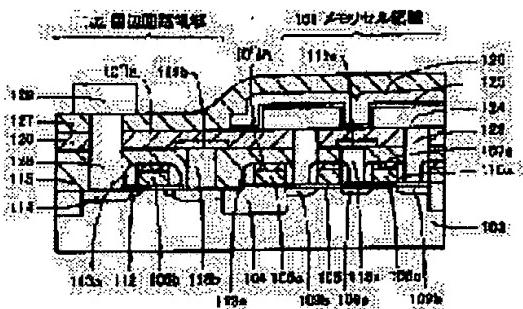
(71)Applicant : NEC CORP  
 (72)Inventor : KASAI NAOKI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve reliability of hot carrier of a transistor of a peripheral circuit region, by forming a spacer formed at a side of a gate electrode of a first insulated gate field effect transistor of a silicon nitride film, and forming a spacer formed at a side of a gate electrode of a second insulated gate field effect transistor of a silicon oxide film.

**SOLUTION:** A peripheral circuit gate electrode 106b made of a conductor layer in which a polycrystalline silicon and a tungsten silicide laminated on the silicon is formed on a peripheral circuit region 102, and a silicon nitride film 107a is formed on a gate electrode 106b. Sidewall silicon oxide films 113 are formed at sides of the electrode 106b and the film 107a. Reliability of hot carrier of a transistor of the peripheral circuit region can be improved by using the films 113 having higher hot carrier reliability than that of the silicon nitride film, by forming the films 113 at the gate electrode of the peripheral circuit transistor used with higher voltage than that of a memory cell transistor.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-87657

(43)公開日 平成11年(1999)3月30日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 01 L 27/108		H 01 L 27/10	6 7 1 Z
21/8242			6 8 1 F
29/78		29/78	3 0 1 G
21/336			3 0 1 P
			3 0 1 Y

審査請求 有 請求項の数 7 O L (全 17 頁)

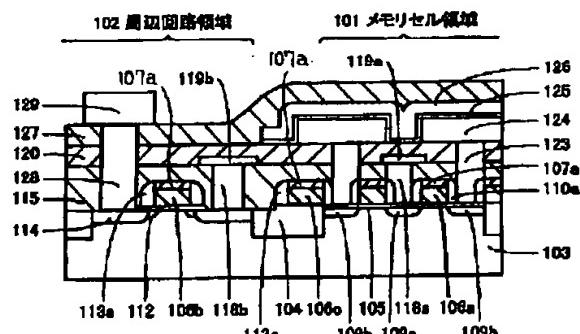
(21)出願番号	特願平9-247036	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成9年(1997)9月11日	(72)発明者	笠井 直記 東京都港区芝五丁目7番1号 日本電気株式会社内
(23)代理人		(74)代理人	弁理士 菅野 中

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 高密度、高信頼性の半導体装置および、その製造方法を提供する。

【解決手段】 低電圧で動作するメモリセル領域101のトランジスタの側壁をシリコン窒化膜として自己整合コンタクトをとし、高電圧で動作する周回路領域102のトランジスタの側壁をシリコン酸化膜とする。



- |                    |                       |
|--------------------|-----------------------|
| 103 P型シリコン基板       | 104 素子分離絶縁体層          |
| 105 ゲート酸化膜         | 106a メモリセルゲート電極       |
| 106a 周回路部ゲート電極     | 106b ゲートゲート電極         |
| 107a ゲート電極上シリコン窒化膜 | 109 メモリセル部n型塗敷層       |
| 110a 側壁シリコン窒化膜     | 112 低電圧n型拡散層          |
| 113a 側壁シリコン酸化膜     | 114 高電圧n型拡散層          |
| 115 第1の層間絶縁膜       | 118a, 118b 第1のエクストラップ |
| 119a, 119b ビット線    | 120 第2の層間絶縁膜          |
| 123 第2のコンタクト       | 124 容量下部電極            |
| 125 容量絶縁膜          | 126 容量上部電極            |
| 127 第3の層間絶縁膜       | 128 第3のエクストラップ        |
| 129 金属配線           |                       |

1

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1の絶縁ゲート電界効果トランジスタと、該第1の絶縁ゲート電界効果トランジスタと用途の異なる回路に用いられる第2の絶縁ゲート電界効果トランジスタと有する半導体装置であって、

前記第1の絶縁ゲート電界効果トランジスタのゲート電極の側面に形成されるスペーサは、シリコン窒化膜からなり、

前記第2の絶縁ゲート電界効果トランジスタのゲート電極の側面に形成されるスペーサは、シリコン酸化膜からなるものであることを特徴とする半導体装置。

【請求項2】 前記第1の絶縁ゲート電界効果トランジスタに印加される電圧は、前記第2の絶縁ゲート電界効果トランジスタに印加される電圧よりも小さいものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の絶縁ゲート電界効果トランジスタは、DRAMのメモリセルのトランジスタとして用いられ、

前記第2の絶縁ゲート電界効果トランジスタは、DRAMのメモリセル以外の周辺回路のトランジスタとして用いられるものであることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1の絶縁ゲート電界効果トランジスタを形成する領域と前記第2の絶縁ゲート電界効果トランジスタを形成する領域の境界である素子分離領域に、前記第1および第2のゲート電極として用いられた層からなるダミー電極が形成され、該ダミー電極の一方の側面に形成されるスペーサは、シリコン窒化膜からなり、他方の側面に形成されるスペーサは、シリコン酸化膜からなるものであることを特徴とする請求項1に記載の半導体装置。

【請求項5】 半導体基板表面の素子分離絶縁層領域によって区画された能動素子領域の表面にゲート酸化膜が形成された基板上に絶縁ゲート電界効果トランジスタのゲート電極となる第1の導体膜を堆積する工程と、第1の絶縁ゲート電界効果トランジスタの第1のゲート電極を形成し、該第1の絶縁ゲート電界効果トランジスタと用途の異なる回路に用いられる第2の絶縁ゲート電界効果トランジスタが形成される領域の前記第1の導体膜をそのまま残しておく工程と、

前記第1のゲート電極の側面にシリコン窒化膜からなるスペーサを形成する工程と、

前記第2の絶縁ゲート電界効果トランジスタの第2のゲート電極を形成する工程と、

該第1のゲート電極の側面にシリコン酸化膜からなるスペーサを形成する工程を含むものであることを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の絶縁ゲート電界効果トランジスタは、DRAMのメモリセルのトランジスタとして用

2

いられ、

前記第2の絶縁ゲート電界効果トランジスタは、DRAMのメモリセル以外の周辺回路のトランジスタとして用いられるものであることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記ダミー電極の一方の側面に形成されるスペーサは、前記第1のゲート電極の側面にシリコン窒化膜からなるスペーサと同時に形成されるものであり、

10 前記ダミー電極の他方の側面に形成されるスペーサは、前記第1のゲート電極の側面にシリコン酸化膜からなるスペーサと同時に形成されるものであることを特徴とする請求項5に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体メモリを含む半導体装置、特に絶縁ゲート電界効果トランジスタの側面の絶縁膜スペーサ材料とその製造方法に関する。

## 【0002】

20 【従来の技術】 ダイナミック・ランダムアクセス・メモリ(DRAM)は、3年間に4倍の記憶容量(ビットを単位とする)を増大するチップの開発が継続的に行われている。DRAMの記憶容量の増大は、半導体素子の寸法を微細化することによって単位面積当たりの素子数を増加させることで行われている。

【0003】 絶縁ゲート電界効果トランジスタは、集積回路を構成する最も重要な半導体素子であり、素子の微細化は、一般的に性能の向上と同時に信頼性を確保するために、スケーリング則に従って寸法・膜厚・電源電圧が減少し、不純物濃度が増加する。例えば、4メガビット(Mb)DRAM以前は、メモリセル内部および外部とともに5Vの電源電圧によってトランジスタが動作してきた。

【0004】 現在主流である16MbDRAMの設計ルールは0.4~0.6μmであり、メモリセル外部の電源電圧が、3.3Vと5Vのものがある。メモリセル内部は、外部電源電圧より低く、約2.5Vと約3.5V程度である。次世代の64MbDRAMの設計ルールは0.28~0.35μmであり、メモリセル外部の電源電圧が3.3Vであり、メモリセル内部の電源電圧は約2.5Vである。外部の電圧は、規格化されたチップ外の出入力レベルによって決まる。

【0005】 一方、メモリセル内部は、消費電力や素子の信頼性を確保するために、チップ内部の降圧回路によって電圧を低下することが可能である。また、メモリセルのトランジスタが外部のトランジスタの設計寸法より小さな寸法を用いて設計されている。

【0006】 以上のことから、メモリセル内部の電源電圧が、外部の電源電圧より低くなる傾向になってきた。

50 最も小さな設計ルールによって製造されるスタック型キ

ヤバシタ構造の64MbitDRAMでは、メモリセルのトランジスタのソース・ドレインとなる不純物拡散層とビット線あるいは容量下部電極とを接続するコンタクトの形成が非常に難しくなった。メモリセル内部の絶縁ゲート電界効果トランジスタのゲート電極でもあるワード線の間を、前記コンタクトがワード線と接触することなく形成する必要があり、DRAMの大容量化によるメモリセルサイズの縮小によってメモリセルのワード線とコンタクトとの間隔が、リソグラフィーの位置合わせマージンよりも小さくなってしまったためである。

【0007】この位置合わせマージンの問題を解決する方法として、例えばK. P. Lee等によって1995年のIEDM (International Electron Devices Meeting) の907頁～910頁において”A Process Technology for 1 Giga-Bit DRAM”と題した論文に発表されたDRAMにおいては、図7、8に示すような自己整合コンタクトの形成方法が示されていた。

【0008】図7(a)に示すように、P型シリコン基板203の表面にトランジスタ等の半導体素子を分離するためのシリコン酸化膜からなる素子分離絶縁体層204によって画定された素子領域の表面にゲート酸化膜205が形成され、表面にトランジスタのゲート電極となる多結晶シリコン膜上にチタンシリサイド膜が積層されたタンクスチルポリサイド膜206が形成され、チタンポリサイド膜206上には第1のシリコン窒化膜207が堆積され、第1のシリコン窒化膜207上の所望の領域に第1のレジストパターン208が形成されている。

【0009】次に図7(b)に示すように、第1のレジストパターン208をマスクとして第1のシリコン窒化膜207およびチタンポリサイド膜206がエッチングされ、メモリセル部ゲート電極206aおよび周辺回路ゲート電極206bとそれらの上部のゲート電極上シリコン窒化膜207aが形成される。

【0010】続いて、図7(c)に示すように、表面に第2のシリコン窒化膜210が堆積される。

【0011】また図7(d)に示すように、第2のシリコン窒化膜210をエッチバックすることで、メモリセル部ゲート電極206aおよび周辺回路ゲート電極206bとそれらの上部のゲート電極上シリコン窒化膜207aの側面に側壁シリコン窒化膜210aが形成される。その結果、メモリセル部ゲート電極206aおよび周辺回路ゲート電極206bは、それらの上部および側部が、それぞれシリコン窒化膜で被覆される。

【0012】さらに、シリコン酸化膜213を堆積した後、第2のレジストパターン211をマスクにシリコン酸化膜213をエッチングして、パッドコンタクト孔232を開口する。このエッチングにおいて、シリコン窒化膜に対するシリコン酸化膜のエッチング速度が大きな

条件を用いることで、メモリセル部ゲート電極206aの上部のゲート上シリコン窒化膜207aおよび側部の側壁シリコン窒化膜210aがマスクとなって、メモリセル部n型拡散層212へのパッドコンタクト孔232がメモリセル部ゲート電極206aに接触することなく自己整合的に形成される。

【0013】次に、n型多結晶シリコン膜231を堆積した後、第3のレジストパターン216を形成する。次に、図7(f)のように、第3のレジストパターン216をマスクとして、n型多結晶シリコン膜231をエッチングして多結晶シリコンパッド231を形成した後、表面にシリコン酸化膜からなる第1の層間絶縁膜215を堆積し、第4のレジストパターン216をマスクとして、第1の層間絶縁膜215およびシリコン窒化膜210をエッチングして、多結晶シリコンパッドおよび高濃度n型拡散層に達する第1のコンタクト孔217a、217bを開口する。

【0014】次に、図8(g)に示すように、第1のコンタクト孔217a、217bに多結晶シリコンを埋め込んだ第1のコンタクトプラグ218a、218bを形成し、前記第1のコンタクトプラグ218a、218bと接続するビット線219a、219bを形成する。次に、図8(h)に示すように、シリコン酸化膜からなる第2の層間絶縁膜220を堆積し、第5のレジストパターン232をマスクにしてメモリセル部n型拡散層209bに達する第2のコンタクト孔222を形成する。

【0015】次に、図8(i)に示すように、第2のコンタクト孔222にn型多結晶シリコンを埋め込んだ第2のコンタクトプラグ223を形成し、第2のコンタクトプラグ223と接続する容量下部電極224、容量絶縁膜225、および容量上部電極226からなるキャパシタを形成する。

【0016】最後に、図8(j)に示すように、シリコン酸化膜あるいはBPSG膜からなる第3の層間絶縁膜227を堆積した後、第3の層間絶縁膜227、第2の層間絶縁膜220、第1の層間絶縁膜215、およびシリコン酸化膜213をエッチングして高濃度n型拡散層214bに達する第3のコンタクト孔を開口した後、コンタクトバリア膜としてチタン膜および窒化チタン膜を少なくともコンタクト孔の溝に形成し(図示せず)、第3のコンタクト孔にタンクスチルを埋め込むことによって第3のコンタクトプラグ228を形成し、第3コンタクトプラグ228を被覆するようなアルミニウム合金からなる金属配線229を形成すると、DRAMが形成される。

【発明が解決しようとする課題】トランジスタの微細化における課題の一つとして、ホットキャリアによる長期信頼性の劣化がある。信頼性の劣化を抑制するには、トランジスタに印加される電圧を低下させることが効果的

であるが、駆動電流が低下するために、メモリセル以外のトランジスタは、一般には電源電圧を用いられている。

【0018】一方、駆動電流のあまり必要としないセルトランジスタは、前述のように電圧を低下することができるため、ホットキャリアに対する信頼性の劣化は周辺トランジスタに比べて小さい。

【0019】従来技術では、自己整合コンタクトを実現するためにトランジスタのゲート電極の側部に側壁シリコン窒化膜を形成している。例えば、T. Mizuno等によって1988年のIEDMの234頁から237頁に”Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>Spacer Induced High Reliability in LDD MOSFET and its Simple Degradation Model”と題して発表された論文において、側壁がシリコン酸化膜の場合に比べて、シリコン窒化膜の場合は、ホットキャリア信頼性が劣化することが知られている。すなわち、従来技術では、自己整合コンタクトとする必要のないメモリセトランジスタよりも高い電圧で用いられる周回路トランジスタも、ゲート電極は側壁シリコン窒化膜が形成されるため、周回路領域のトランジスタのホットキャリア信頼性が、メモリセル領域のトランジスタに比べて大幅に劣化する問題点がある。

【0020】本発明の目的は、高密度、高信頼性の半導体装置及びその製造方法を提供することにある。

#### 【0021】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、半導体基板上に形成された第1の絶縁ゲート電界効果トランジスタと、該第1の絶縁ゲート電界効果トランジスタと用途の異なる回路に用いられる第2の絶縁ゲート電界効果トランジスタと有する半導体装置であって、前記第1の絶縁ゲート電界効果トランジスタのゲート電極の側面に形成されるスペーサーは、シリコン窒化膜からなり、前記第2の絶縁ゲート電界効果トランジスタのゲート電極の側面に形成されるスペーサーは、シリコン酸化膜からなるものである。

【0022】また、前記第1の絶縁ゲート電界効果トランジスタに印加される電圧は、前記第2の絶縁ゲート電界効果トランジスタに印加される電圧よりも小さいものである。

【0023】また、前記第1の絶縁ゲート電界効果トランジスタは、DRAMのメモリセルのトランジスタとして用いられ、前記第2の絶縁ゲート電界効果トランジスタは、DRAMのメモリセル以外の周回路のトランジスタとして用いられるものである。

【0024】また、前記第1の絶縁ゲート電界効果トランジスタを形成する領域と前記第2の絶縁ゲート電界効果トランジスタを形成する領域の境界である素子分離領域に、前記第1および第2のゲート電極として用いられ

た層からなるダミー電極が形成され、該ダミー電極の一方の側面に形成されるスペーサーは、シリコン窒化膜からなり、他方の側面に形成されるスペーサーは、シリコン酸化膜からなるものである。

【0025】また、本発明に係る半導体装置の製造方法は、半導体基板表面の素子分離絶縁層領域によって区画された能動素子領域の表面にゲート酸化膜が形成された基板上に絶縁ゲート電界効果トランジスタのゲート電極となる第1の導体膜を堆積する工程と、第1の絶縁ゲート電界効果トランジスタの第1のゲート電極を形成し、

該第1の絶縁ゲート電界効果トランジスタと用途の異なる回路に用いられる第2の絶縁ゲート電界効果トランジスタが形成される領域の前記第1の導体膜をそのまま残しておく工程と、前記第1のゲート電極の側面にシリコン窒化膜からなるスペーサーを形成する工程と、前記第2の絶縁ゲート電界効果トランジスタの第2のゲート電極を形成する工程と、該第1のゲート電極の側面にシリコン酸化膜からなるスペーサーを形成する工程を含むものである。

【0026】また、前記第1の絶縁ゲート電界効果トランジスタは、DRAMのメモリセルのトランジスタとして用いられ、前記第2の絶縁ゲート電界効果トランジスタは、DRAMのメモリセル以外の周回路のトランジスタとして用いられるものである。

【0027】また、前記ダミー電極の一方の側面に形成されるスペーサーは、前記第1のゲート電極の側面にシリコン窒化膜からなるスペーサーと同時に形成されるものであり、前記ダミー電極の他方の側面に形成されるスペーサーは、前記第1のゲート電極の側面にシリコン酸化膜からなるスペーサーと同時に形成されるものである。

【0028】本発明によれば、低い電圧で動作し、且つ、小さな設計ルールによって製造されるメモリセル領域のトランジスタのゲート電極は、シリコン窒化膜で被覆されているため、狭いワード線間隔にコンタクトを自己整合で形成できる。高い電圧で動作し、且つ、メモリセル領域よりは大きな設計ルールで製造される周回路領域のトランジスタのゲート電極は、シリコン酸化膜で被覆されているために、ホットキャリアの信頼性が向上する。メモリセル領域と周回路領域との間にダミーゲートを設けることによって、メモリセル領域の全てのゲート電極の側壁は、両側ともシリコン窒化膜となり、周回路領域の全てのゲート電極の側壁は、両側ともシリコン酸化膜となる。また、ダミーゲート電極は素子分離領域に形成されるために、余分な領域を必要としない。

【0029】さらに、メモリセル領域のトランジスタのゲート電極、ソース・ドレインとなる拡散層、および側壁シリコン窒化膜を形成する工程と、周回路領域のトランジスタのゲート電極、ソース・ドレインとなる拡散層、および側壁シリコン窒化膜を形成する工程とを分けることによって、メモリセル領域のトランジスタあるいは

は周辺回路領域のトランジスタの側壁絶縁膜を除去する工程を必要としない。また、ゲート電極のリソグラフィーが、従来1回であったものが2回になるものの、メモリセル領域のソース・ドレインとなる拡散層のリソグラフィー工程が不要となるために、実質的にはリソグラフィー工程の回数は増加しない。

## 【0030】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0031】(実施形態1) 図1は、本発明の実施形態1に係る半導体装置を示す断面図である。

【0032】図において、本発明の実施形態1に係る半導体装置においては、P型シリコン基板103の表面は、シリコン酸化膜からなる素子分離絶縁体層104によってメモリセル領域101および周辺回路領域102に形成される個々のトランジスタが形成されるP型シリコン基板103からなる素子領域に分離され、素子領域の表面には、ゲート酸化膜105が形成されている。

【0033】メモリセル領域101には、多結晶シリコンとその上にタングステンシリサイドが積層された導体層からなるメモリセル部ゲート電極106aが形成され、ゲート電極106a上にゲート電極上シリコン窒化膜107aが形成され、メモリセル部ゲート電極106aとシリコン窒化膜107aの側面には、側壁シリコン窒化膜110aが形成されている。

【0034】周辺回路領域102には、多結晶シリコンとその上にタングステンシリサイドが積層された導体層からなる周辺回路部ゲート電極106bが形成され、ゲート電極106b上にシリコン窒化膜107aが形成され、周辺回路部ゲート電極106bとシリコン窒化膜107aの側面には、側壁シリコン酸化膜113aが形成されている。

【0035】メモリセル領域101と周辺回路領域102の境界である素子分離絶縁体層104上には、多結晶シリコンとその上にタングステンシリサイドが積層された導体層からなるダミーゲート電極106cが形成され、ゲート電極106c上にシリコン窒化膜107aが形成され、ダミーゲート電極106cとシリコン窒化膜107aのメモリセル領域101側の側面には、側壁シリコン窒化膜110aが形成され、ダミーゲート電極106cとシリコン窒化膜107aの周辺回路領域102側の側面には、側壁シリコン酸化膜113aが形成されている。

【0036】メモリセル領域101の素子分離絶縁体層104およびメモリセル部ゲート電極106aによって画定されたP型シリコン基板103の表面にメモリセル部n型拡散層109a、109bからなるメモリセルのトランジスタのソース・ドレインが形成され、周辺回路領域102の素子分離絶縁体層104および周辺回路部ゲート電極106bによって画定されたP型シリコン基

板103の表面に低濃度n型拡散層112および高濃度n型拡散層114からなる周辺回路のトランジスタのソース・ドレインが形成されている。

【0037】シリコン酸化膜からなる第1の層間絶縁膜115上に形成されたタングステンシリサイド膜からなるビット線119aとメモリセル部n型拡散層109aとを接続する多結晶シリコンからなる第1のコンタクトプラグ118aおよびビット線119bと周辺回路領域の高濃度n型拡散層114とを接続する多結晶シリコンからなる第1のコンタクトプラグ118bが形成されている。

【0038】第1の層間絶縁膜115およびビット線119a、119bの表面上に、シリコン酸化膜からなる第2の層間絶縁膜120が形成され、第2の層間絶縁膜120上に形成された容量下部電極124とメモリセル部n型拡散層109bとを接続する多結晶シリコンからなる第2のコンタクトプラグ123が形成されている。

【0039】また、容量下部電極124の表面には容量絶縁膜125が形成され、さらに容量絶縁膜125の表面には容量上部電極126が形成されて、キャパシタを構成している。

【0040】また、第2の層間絶縁膜120および容量上部電極126の表面上には、シリコン酸化膜からなる第3の層間絶縁膜127が形成され、第3の層間絶縁膜127上に形成されたアルミニウム合金からなる金属配線129と周辺回路領域129のトランジスタの高濃度n型拡散層114とを接続するタングステンからなる第3のコンタクトプラグ128が形成されている。

【0041】次に、本発明の実施形態1に係る半導体装置の製造方法を、図2及び図3を用いて説明する。

【0042】図2(a)に示すように、P型シリコン基板103に、深さ400nmの溝を形成し、溝にシリコン酸化膜を埋め込むことによって素子分離絶縁体層104を形成する。素子分離絶縁体層104によって画定されたP型シリコン基板103の表面に膜厚7nmのゲート酸化膜105を形成する。さらに、基板全面に膜厚70nmのn型多結晶シリコンおよび膜厚110nmのタンクステンシリサイド膜を連続して堆積することにより、ゲート電極となるタンクステンポリサイド膜106を形成する。続いて、膜厚100nmのシリコン窒化膜107を堆積した後、メモリセル領域101にゲート電極を形成するための第1のレジストパターン108を形成する。第1のレジスト108は、周辺回路領域102を全て被覆している。

【0043】次に、図2(b)に示すように、第1のレジストパターン108をマスクとして、シリコン窒化膜107およびタンクステンポリサイド膜106をエッチングして、メモリセル部ゲート電極106aおよびゲート電極上シリコン窒化膜107aを形成し、その後、シ

リコン窒化膜107aおよび素子分離絶縁体層104をマスクとして、P型シリコン基板103の表面にリンを10keV、 $1 \times 10^{13} \text{ cm}^{-2}$ イオン注入し、メモリセル部n型拡散層109a及び109bを形成する。

【0044】次に図2(c)に示すように、第1のレジストパターン108を除去した後、膜厚50nmの第2のシリコン窒化膜110を全面に堆積する。

【0045】次に図2(d)に示すように、第2のシリコン窒化膜110をエッチバックして、メモリセル部ゲート電極106aおよび周辺回路領域102を全面に渡って被覆しているタンクステンポリサイド膜106とシリコン窒化膜107aの側面に側壁シリコン窒化膜110aを形成する。

【0046】次に図2(e)に示すように、周辺回路領域102にゲート電極を形成するための第2のレジストパターン111を形成する。第2のレジスト111は、メモリセル領域101を全て被覆している。

【0047】次に図2(f)に示すように、第2のレジストパターン111をマスクとして、シリコン窒化膜107およびタンクステンポリサイド膜106をエッチングし、周辺回路部ゲート電極106bおよびゲート電極上シリコン窒化膜107aを形成する。ここで、メモリセル領域101を被覆した第2のレジストパターン111によって、メモリセル領域101と周辺回路領域102の境界の素子分離絶縁体層104上にダミーゲート電極106cを形成する。第2のレジストパターン111を除去した後、シリコン窒化膜107a、素子分離絶縁体層104およびメモリセル領域を被覆するレジストパターン(図示せず)をマスクとして周辺回路領域102のP型シリコン基板103の表面にリンを10keV、 $2 \times 10^{13} \text{ cm}^{-2}$ イオン注入して低濃度n型拡散層112を形成する。

【0048】次に図3(g)に示すように、膜厚100nmのシリコン酸化膜113を全面に堆積する。

【0049】次に、シリコン酸化膜113をエッチバックし、図3(h)のように、周辺回路部ゲート電極106bおよび周辺回路部102のゲート電極上シリコン窒化膜107aの側面に側壁シリコン酸化膜113aを形成する。また、ダミーゲート電極106cとその上部にゲート電極上シリコン窒化膜107aの周辺回路領域102側の側面にも側壁シリコン酸化膜113aを形成する。また、メモリセル部ゲート電極106aおよびその側面に堆積された側壁シリコン窒化膜110aによる狭い隙間は、シリコン酸化膜113によって埋め込まれる。さらに、ゲート電極上シリコン窒化膜107a、素子分離絶縁体層104、及び側壁シリコン酸化膜113aをマスクとして、P型シリコン基板103の表面に砒素を30keV、 $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、高濃度n型拡散層114を形成する。

【0050】次に図3(i)に示すように、膜厚500

nmのシリコン酸化膜あるいはBPSG膜を表面に堆積した後、化学的機械的研磨(CMP)により、シリコン酸化膜あるいはBPSG膜の表面を平坦化して第1の層間絶縁膜115を形成する。さらに、第3のレジストパターン116を形成し、第3のレジストパターン116をマスクとして第1の層間絶縁膜115をエッチングし、メモリセル部n型拡散層109aおよび高濃度n型拡散層114に達する第1のコンタクト孔117a、117bを開口する。エッチングの際に、シリコン窒化膜に対するシリコン酸化膜のエッチング速度の大きな条件を用いることにより、メモリセル部ゲート電極106aの上面および側面に形成されたゲート電極上シリコン窒化膜107aおよび側壁シリコン窒化膜110aがエッチングストッパーとなり、第1のコンタクト孔117aは、メモリセル部ゲート電極へ開口することはない。

【0051】次に図3(j)に示すように、第3のレジストパターン116を除去した後、第1のコンタクト孔117a、117bにn型多結晶シリコンを埋め込むことにより第1のコンタクトプラグ118a、118bを形成した後、第1のコンタクトプラグ118a、118bの表面を被覆するようにピット線119a、119bを形成し、膜厚500nmのシリコン酸化膜あるいはBPSG膜を表面に堆積した後、CMPにより前記シリコン酸化膜あるいはBPSG膜の表面を平坦化して第2の層間絶縁膜120を形成する。さらに、第4のレジストパターン121を形成し、第4のレジストパターン121をマスクとして第1の層間絶縁膜115および第2の層間絶縁膜120をエッチングし、メモリセル部n型拡散層109bに達する第2のコンタクト孔122を、第3のコンタクト孔117aと同様に開口する。

【0052】次に図3(k)に示すように、第4のレジストパターン121を除去した後、第2のコンタクト孔122にn型多結晶シリコンを埋め込むことにより、第2のコンタクトプラグ123を形成し、その後、第2のコンタクトプラグ123の表面を被覆するようにn型多結晶シリコンからなる容量下部電極124を形成し、容量下部電極124の表面にシリコン酸化膜厚換算5nmの容量絶縁膜125を形成し、さらに容量絶縁膜125上に容量下部電極124を覆うようにn型多結晶シリコンからなる容量上部電極126を形成し、キャパシタを形成する。

【0053】最後に、膜厚500nmのシリコン酸化膜あるいはBPSG膜からなる第3の層間絶縁膜127を堆積した後、第1の層間絶縁膜115、第2の層間絶縁膜120、および第3の層間絶縁膜127をエッチングし、高濃度n型拡散層109bに達する第3のコンタクト孔を開口した後、コンタクトバリア膜としてチタン膜および窒化チタン膜を少なくともコンタクト孔の溝に形成し(図示せず)、前記第3のコンタクト孔にタンクステンを埋め込むことによって第3のコンタクトプラグ1

28を形成し、第3コンタクトプラグ128を被覆するようなアルミニウム合金からなる金属配線129を形成することにより、図1に示したDRAMを完成させる。

【0054】(実施形態2)図4は、本発明の実施形態2に係る半導体装置を示す断面図である。

【0055】本発明の実施形態2に係る半導体装置は図4に示すように、P型シリコン基板103の表面をシリコン酸化膜からなる素子分離絶縁体層104によってメモリセル領域101および周辺回路領域102に形成される個々のトランジスタが形成されるP型シリコン基板103からなる素子領域に分離し、素子領域の表面にはゲート酸化膜105が形成されている。

【0056】メモリセル領域101には、多結晶シリコンとその上にタンクステンシリサイドが積層された導体層からなるメモリセル部ゲート電極106aとシリコン窒化膜107aが形成され、メモリセル部ゲート電極106aとその上部に形成されたゲート電極上シリコン窒化膜107aの側面には、側壁シリコン窒化膜110aが形成されている。

【0057】周辺回路領域102には、多結晶シリコンとその上にタンクステンシリサイドが積層された導体層からなる周辺回路部ゲート電極106bとその上部にゲート電極上シリコン窒化膜107aが形成され、周辺回路部ゲート電極106bとその上部に形成されたゲート電極上シリコン窒化膜107aの側面には側壁シリコン酸化膜113aが形成されている。

【0058】メモリセル領域101と周辺回路領域102の境界である素子分離絶縁体層104上には、多結晶シリコンとその上にタンクステンシリサイドが積層された導体層からなるダミーゲート電極106cとその上部ゲート電極上シリコン窒化膜107aが形成され、ダミーゲート電極106cとその上部に形成されたゲート電極上シリコン窒化膜107aのメモリセル領域101側の側面に側壁シリコン窒化膜110aが形成され、ダミーゲート電極106cとその上部に形成されたゲート電極上シリコン窒化膜107aの周辺回路領域102側の側面に側壁シリコン酸化膜113aが形成されている。

【0059】メモリセル領域101の素子分離絶縁体層104およびメモリセル部ゲート電極106aによって画定されたP型シリコン基板103の表面にメモリセル部n型拡散層109a、109bからなるメモリセルのトランジスタのソース・ドレインが形成され、周辺回路領域102の素子分離絶縁体層104および周辺回路部ゲート電極106bによって画定されたP型シリコン基板103の表面に低濃度n型拡散層112および高濃度n型拡散層114からなる周辺回路のトランジスタのソース・ドレインが形成されている。

【0060】メモリセル部n型拡散層109a、109bを被覆するように、n型多結晶シリコンからなる多結晶シリコンパッド131a、131bが形成されてい

る。シリコン酸化膜からなる第1の層間絶縁膜115上に形成されたタンクステンシリサイド膜からなるビット線119aとメモリセル部n型拡散層109a上の多結晶シリコンパッド131aとを接続する多結晶シリコンからなる第1のコンタクトプラグ118aおよびビット線119bと周辺回路領域の高濃度n型拡散層114とを接続する多結晶シリコンからなる第1のコンタクトプラグ118bが形成されている。

【0061】第1の層間絶縁膜115およびビット線119a、119bの表面上に、シリコン酸化膜からなる第2の層間絶縁膜120が形成され、第2の層間絶縁膜上に形成された容量下部電極124とメモリセル部n型拡散層109b上に形成された多結晶シリコンパッド131bとを接続する多結晶シリコンからなる第2のコンタクトプラグ123が形成されている。

【0062】容量下部電極124の表面には容量絶縁膜125が形成され、さらに容量絶縁膜125表面に容量上部電極126が形成されてキャパシタを構成している。第2の層間絶縁膜120および容量上部電極126の表面上に、シリコン酸化膜からなる第3の層間絶縁膜127が形成され、第3の層間絶縁膜127上に形成されたアルミニウム合金からなる金属配線129と周辺回路領域102のトランジスタの高濃度n型拡散層114とを接続するタンクステンからなる第3のコンタクトプラグ128が形成されている。

【0063】次に、本発明の実施形態2に係る半導体装置の製造方法を図2、図3、図4、図5、図6を用いて説明する。

【0064】図2(a)から図2(b)までの工程は、実施形態1とほぼ同様であるため、説明を省略する。異なる点は、第2のシリコン窒化膜をエッチバックした際に、ゲート酸化膜105も除去する点にある。

【0065】次に図5(a)に示すように、膜厚200nmの多結晶シリコン膜131を全面に堆積した後、所望の領域に第2のレジストパターン111を形成する。

【0066】次に、図5(b)に示すように、第2のレジストパターン111をマスクとして、多結晶シリコン膜131をエッチングすることにより、多結晶シリコンパッド131a、131bを形成し、その後、第2のレジストパターン111を除去する。

【0067】次に、図3(c)に示すように、膜厚50nmの第2のシリコン窒化膜110を全面に堆積する。

【0068】次に、図6(e)に示すように、周辺回路領域102にゲート電極を形成するための第3のレジストパターン116を形成する。第3のレジスト116は、メモリセル領域101を全て被覆している。

【0069】次に、図2(f)に示すように、第3のレジストパターン116をマスクとして、シリコン窒化膜107およびタンクステンポリサイド膜106をエッチングし、周辺回路部ゲート電極106bおよびゲート電

極上シリコン窒化膜107aを形成する。ここで、メモリセル領域101を被覆した第3のレジストパターン116によってメモリセル領域101と周辺回路領域102の境界の素子分離絶縁体層104上にダミーゲート電極106cが形成される。第3のレジストパターン116を除去した後、周辺回路領域102のP型シリコン基板103の表面にリンを $10\text{ keV}$ 、 $2 \times 10^{13}\text{ cm}^{-2}$ イオン注入して低濃度n型拡散層112を形成する。

【0070】次に、図3(g)に示すように、膜厚100nmのシリコン酸化膜113を全面に堆積する。

【0071】次に、シリコン酸化膜113をエッチバックし、さらに図3(h)のように、周辺回路部ゲート電極106bおよび周辺回路部102のゲート電極上シリコン窒化膜107aの側面に側壁シリコン酸化膜113aを形成する。また、ダミーゲート電極106cとその上部にゲート電極上シリコン窒化膜107aの周辺回路領域102側の側面にも側壁シリコン酸化膜113aを形成する。また、メモリセル部ゲート電極106aおよびその側面に堆積された側壁シリコン窒化膜110aによる狭い隙間は、シリコン酸化膜113によって埋め込まれる。

【0072】さらに、P型シリコン基板103の表面に砒素をゲート電極上シリコン窒化膜107a、素子分離絶縁体層104、および側壁シリコン酸化膜113aをマスクとしてP型シリコン基板103の表面に砒素を $30\text{ keV}$ 、 $5 \times 10^{15}\text{ cm}^{-2}$ イオン注入し、高濃度n型拡散層114を形成する。次に、膜厚500nmのシリコン酸化膜あるいはBPSG膜を表面に堆積した後、化学的機械的研磨(CMP)によりシリコン酸化膜あるいはBPSG膜の表面を平坦化して第1の層間絶縁膜115を形成する。さらに、第4のレジストパターン121を形成し、第4のレジストパターン121をマスクとして第1の層間絶縁膜115をエッチングし、メモリセル部n型拡散層109aおよび高濃度n型拡散層114に達する第1のコンタクト孔117a、117bを開口する。エッチングの際に、シリコン窒化膜に対するシリコン酸化膜のエッチング速度の大きな条件を用いることで、仮に、第1のコンタクト孔117aが多結晶シリコンパッド131aからはみ出た場合でも、メモリセル部ゲート電極106aの上面および側面に形成されたゲート電極上シリコン窒化膜107aおよび側壁シリコン窒化膜110aがエッチングストッパーとなり、第1のコンタクト孔117aは、メモリセル部ゲート電極へ開口することはない。

【0073】次に図6(h)に示すように、第4のレジストパターン121を除去した後、第1のコンタクト孔117a、117bにn型多結晶シリコンを埋め込むことで第1のコンタクトプラグ118a、118bを形成し、その後、第1のコンタクトプラグ118a、118bの表面を被覆するようにピット線119a、119b

を形成し、膜厚500nmのシリコン酸化膜あるいはBPSG膜を表面に堆積した後、CMPにより前記シリコン酸化膜あるいはBPSG膜の表面を平坦化して第2の層間絶縁膜120を形成する。さらに、第5のレジストパターン132を形成し、第5のレジストパターン132をマスクとして第1の層間絶縁膜115および第2の層間絶縁膜120をエッチングし、メモリセル部n型拡散層109b上の多結晶シリコンパッド131bに達する第2のコンタクト孔122を、第1のコンタクト孔117aと同様に開口する。

【0074】次に図6(i)に示すように、第4のレジストパターン121を除去した後、第2のコンタクト孔122にn型多結晶シリコンを埋め込むことにより、第2のコンタクトプラグ123を形成し、その後、第2のコンタクトプラグ123の表面を被覆するようにn型多結晶シリコンからなる容量下部電極124を形成し、容量下部電極124の表面にシリコン酸化膜厚換算5nmの容量絶縁膜125を形成し、さらに容量絶縁膜125上に容量下部電極124を覆うようにn型多結晶シリコンからなる容量上部電極126を形成し、キャパシタを形成する。

【0075】最後に、膜厚500nmのシリコン酸化膜あるいはBPSG膜からなる第3の層間絶縁膜127を堆積した後、第1の層間絶縁膜115、第2の層間絶縁膜120、および第3の層間絶縁膜127をエッチングし、高濃度n型拡散層109bに達する第3のコンタクト孔を開口し、その後、コンタクトバリア膜としてチタン膜および窒化チタン膜を少なくともコンタクト孔の溝に形成し(図示せず)、第3コンタクト孔にタンゲステンを埋め込むことによって第3のコンタクトプラグ128を形成し、第3コンタクトプラグ128を被覆するようなアルミニウム合金からなる金属配線129を形成し、図4に示すDRAMを完成させる。

【0076】

【発明の効果】以上説明したように本発明の半導体装置によれば、メモリセル領域のコンタクトが自己整合的に形成でき、しかも、より高集積化を実現することができる。

【0077】また、周辺回路のトランジスタの側壁がシリコン酸化膜で形成するために、ホットキャリアの信頼性を向上することができる。

【0078】また、本発明の半導体装置の製造方法によれば、側壁材料の異なるトランジスタを形成する際に、一旦形成した側壁を除去することなく、堆積とエッチバックを2回に分けて行うことができ、信頼性を向上できる。また、ゲート電極の形成を2回に分けたにもかかわらず、総リソグラフィー工程数を増加する必要がないために、製造コストを増加させることなく歩留まりを向上することができる。

50 【図面の簡単な説明】

15

【図1】本発明の実施形態1に係る半導体装置を示す断面図である。

【図2】本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の実施形態2に係る半導体装置を示す断面図である。

【図5】本発明の実施形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】本発明の実施形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】従来例による半導体装置の製造方法を示す図である。

【図8】従来例による半導体装置の製造方法を示す図である。

#### 【符号の説明】

101, 201 メモリセル領域

102, 202 周辺回路領域

103, 203 P型シリコン基板

104, 204 素子分離絶縁体層

105, 205 ゲート酸化膜

106 タングステンポリサイド膜

206 チタンポリサイド膜

106a, 206a メモリセル部ゲート電極

106b, 206b 周辺回路部ゲート電極

106c ダミーゲート電極

107, 207 第1のシリコン窒化膜

107a, 207a ゲート電極上シリコン窒化膜

16

108, 208 第1のレジストパターン

109a, 109b, 209 メモリセル部n型拡散層

110, 210 第2のシリコン窒化膜

110a, 210a 側壁シリコン窒化膜

111, 211 第2のレジストパターン

112, 212 低濃度n型拡散層

113, 213 シリコン酸化膜

114, 214 高濃度n型拡散層

115, 215 第1の層間絶縁膜

10 116, 216 第3のレジストパターン

117a, 117b, 217a, 217b 第1のコンタクト孔

118a, 118b, 218a, 218b 第1のコンタクトプラグ

119a, 119b, 219a, 219b ピット線

120, 220 第2の層間絶縁膜

121, 221 第4のレジストパターン

122, 222 第2のコンタクト孔

123, 223 第2のコンタクトプラグ

20 124, 224 容量下部電極

125, 225 容量絶縁膜

126, 226 容量上部電極

127, 227 第3の層間絶縁膜

128, 228 第3のコンタクトプラグ

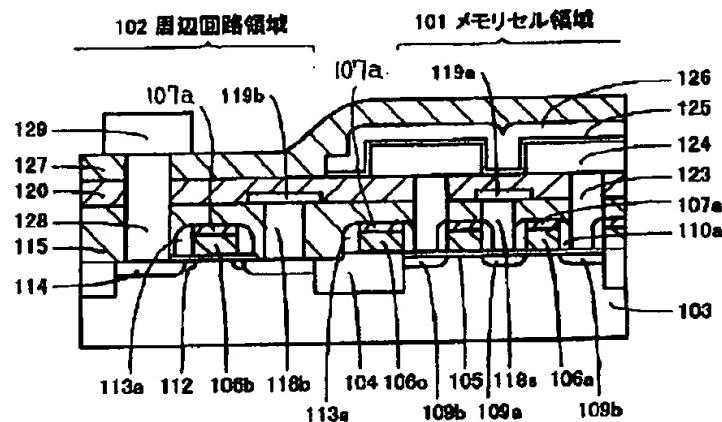
129, 229 金属配線

131, 231 多結晶シリコン膜

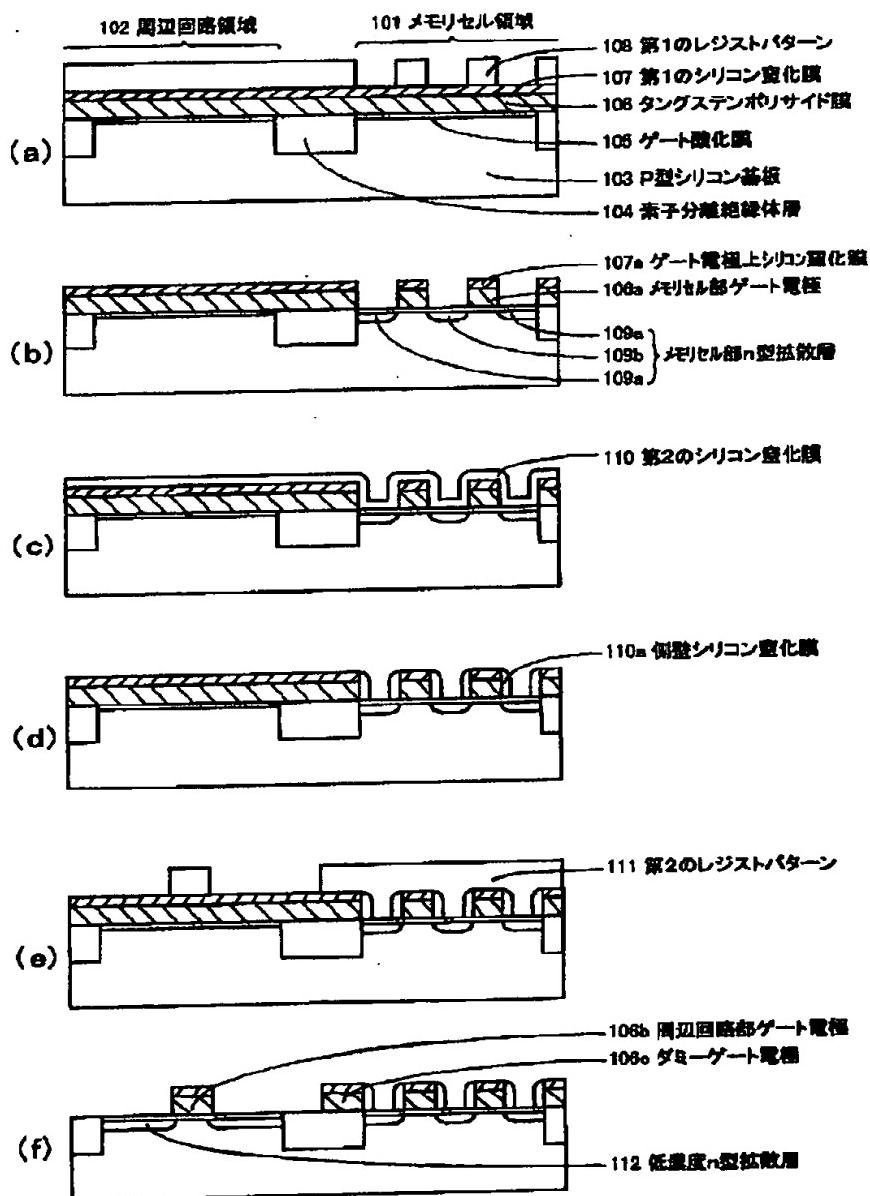
131a, 131b, 231a, 231b 多結晶シリコンパッド

132, 232 第5のレジストパターン

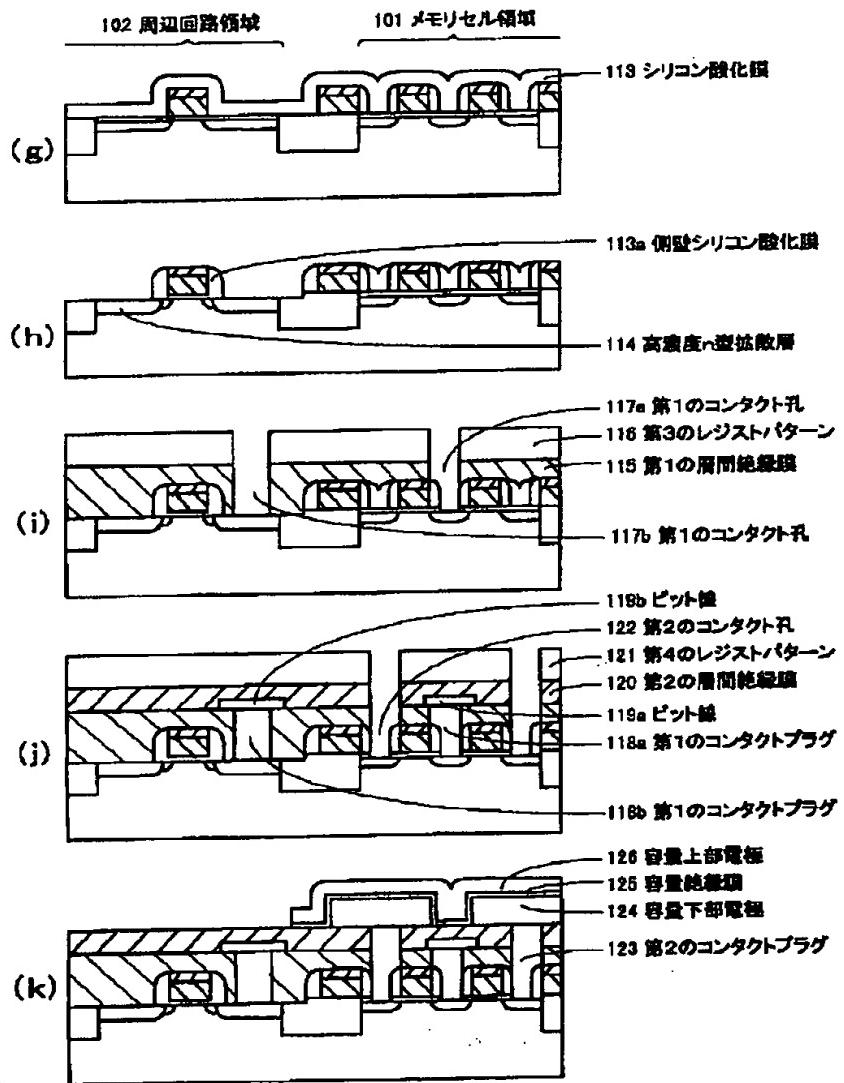
【図1】



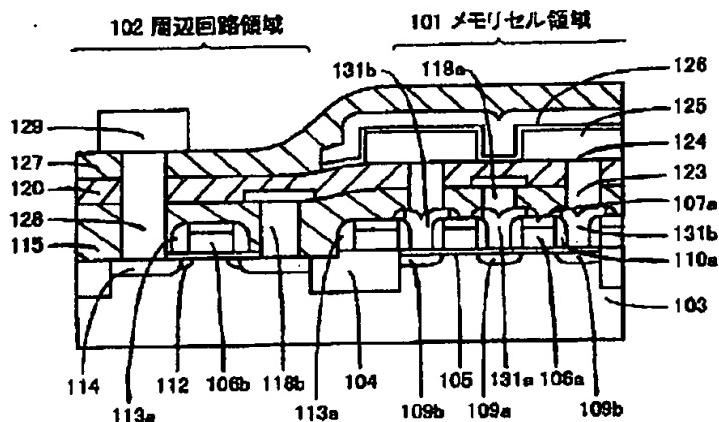
【図2】



【図3】

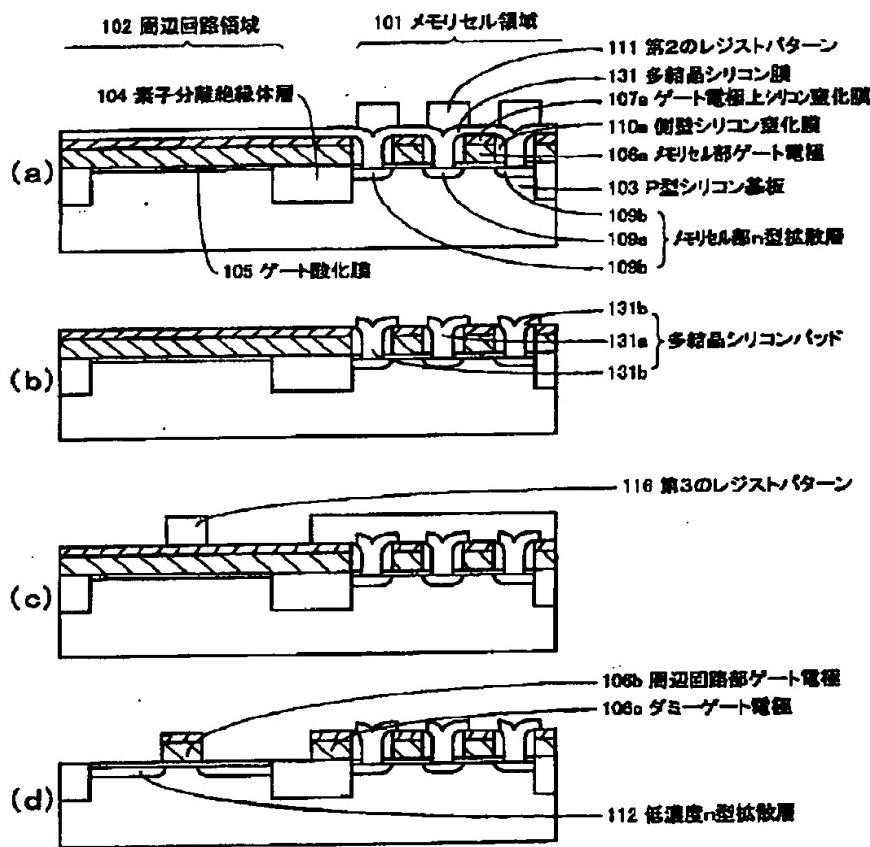


【図4】

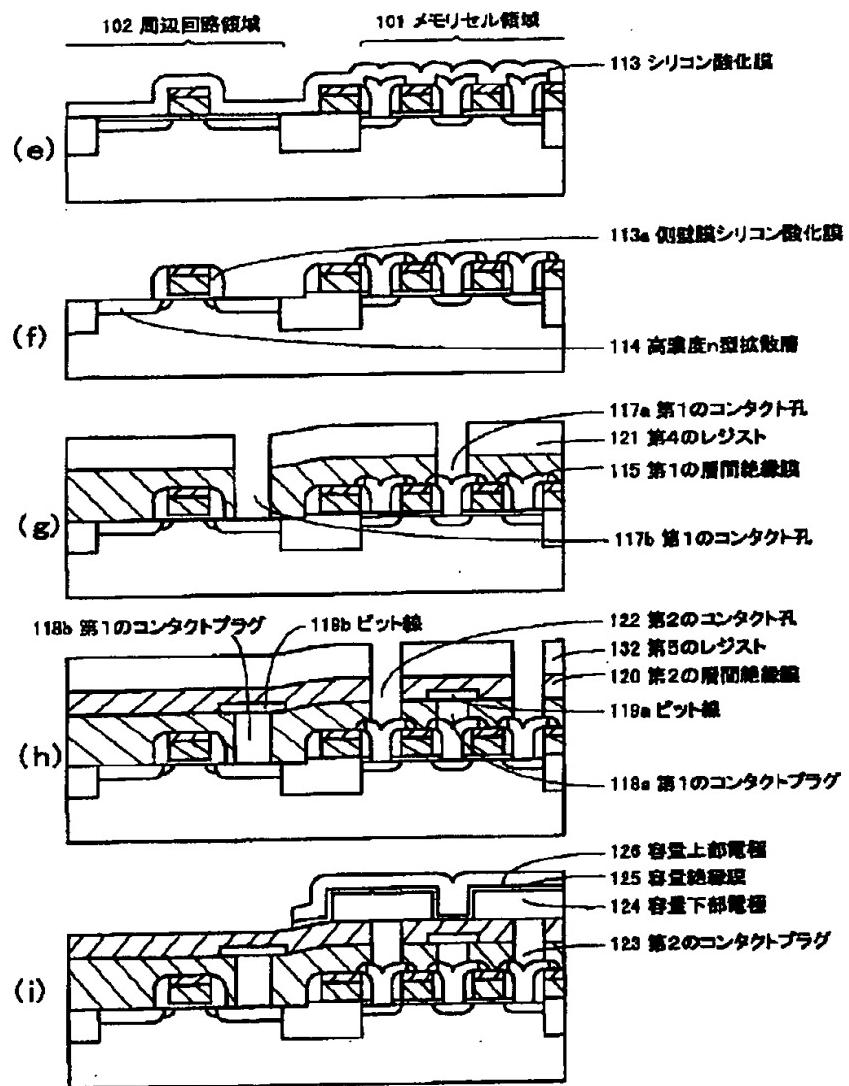


- |                    |                        |
|--------------------|------------------------|
| 103 P型シリコン基板       | 104 素子分離絶縁体層           |
| 105 ゲート酸化膜         | 108a メモリセル部ゲート電極       |
| 106b 周辺回路部ゲート電極    | 106c ダミーゲート電極          |
| 107a ゲート電極上シリコン塗化膜 | 109 メモリセル部n型拡散層        |
| 110a 側壁シリコン塗化膜     | 112 低濃度n型拡散層           |
| 113a 側壁シリコン酸化膜     | 114 高濃度n型拡散層           |
| 115 第1の層間絶縁膜       | 118a, 118b 第1のコンタクトプラグ |
| 119a, 119b ピット線    | 120 第2の層間絶縁膜           |
| 123 第2のコンタクトプラグ    | 124 容量下部電極             |
| 125 容量絶縁膜          | 126 容量上部電極             |
| 127 第3の層間絶縁膜       | 128 第3のコンタクトプラグ        |
| 129 金属配線           | 131a, 131b 多結晶シリコンパッド  |

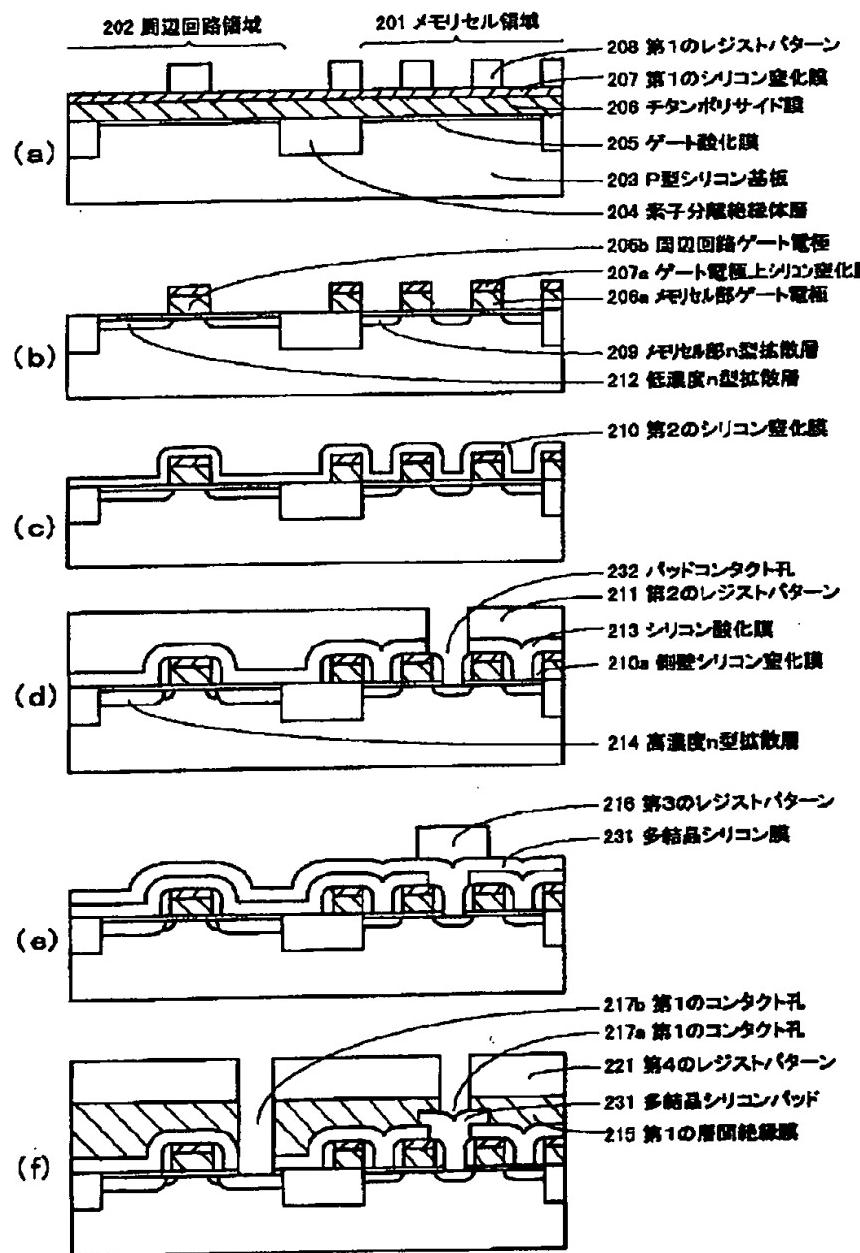
【図5】



【図6】



【図7】



【図8】

